

# 特 許 協 力 条 約

P C T

特許性に関する国際予備報告（特許協力条約第二章）

（法第 12 条、法施行規則第 56 条）

〔P C T 36 条及び P C T 規則 70〕

出願人又は代理人 の書類記号 380300427W01	今後の手続きについては、様式 P C T / I P E A / 4 1 6 を参照すること。	
国際出願番号 P C T / J P 2 0 0 5 / 0 0 0 3 2 9	国際出願日 (日. 月. 年) 1 4 . 0 1 . 2 0 0 5	優先日 (日. 月. 年) 2 8 . 0 1 . 2 0 0 4
国際特許分類 (I P C) Int.Cl. <i>H02M3/155</i> (2006. 01)		
出願人 (氏名又は名称) 株式会社ルネサステクノロジ		

1. この報告書は、P C T 35 条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第 57 条 (P C T 36 条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
3. この報告には次の附属物件も添付されている。 a. <input checked="" type="checkbox"/> 附属書類は全部で 1 5 ページである。 <input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙 (P C T 規則 70. 16 及び実施細則第 607 号参照) <input type="checkbox"/> 第 I 欄 4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙 b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、電子形式による配列表又は配列表に関連するテーブルを含む。 (実施細則第 802 号参照)
4. この国際予備審査報告は、次の内容を含む。 <input checked="" type="checkbox"/> 第 I 欄 国際予備審査報告の基礎 <input type="checkbox"/> 第 II 欄 優先権 <input type="checkbox"/> 第 III 欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 <input type="checkbox"/> 第 IV 欄 発明の単一性の欠如 <input checked="" type="checkbox"/> 第 V 欄 P C T 35 条 (2) に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 <input type="checkbox"/> 第 VI 欄 ある種の引用文献 <input type="checkbox"/> 第 VII 欄 国際出願の不備 <input type="checkbox"/> 第 VIII 欄 国際出願に対する意見

国際予備審査の請求書を受理した日 1 4 . 0 1 . 2 0 0 5	国際予備審査報告を作成した日 1 1 . 0 5 . 2 0 0 6		
名称及びあて先 日本国特許庁 (I P E A / J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 櫻田 正紀	3 V	2 9 1 7
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 7			

様式 P C T / I P E A / 4 0 9 (表紙) (2 0 0 5 年 4 月)

## 第 I 欄 報告の基礎

1. 言語に関し、この予備審査報告は以下のものを基礎とした。

- ☒ 出願時の言語による国際出願
- ☐ 出願時の言語から次の目的のための言語である \_\_\_\_\_ 語に翻訳された、この国際出願の翻訳文
- ☐ 国際調査 (PCT規則12.3(a)及び23.1(b))
- ☐ 国際公開 (PCT規則12.4(a))
- ☐ 国際予備審査 (PCT規則55.2(a)又は55.3(a))

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1 - 1 6 \_\_\_\_\_ ページ、出願時に提出されたもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 16, 21, 23, \_\_\_\_\_ 項、出願時に提出されたもの

第 \_\_\_\_\_ 項\*、PCT19条の規定に基づき補正されたもの

第 1, 3-15, 17-20, 22, 24-34 \_\_\_\_\_ 項\*、2 8 . 1 1 . 2 0 0 5 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ 項\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☒ 図面

第 1 - 1 4 \_\_\_\_\_ ページ/図、出願時に提出されたもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

第 \_\_\_\_\_ ページ/図\*、 \_\_\_\_\_ 付で国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表 (具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 \_\_\_\_\_ ページ

☐ 請求の範囲 第 \_\_\_\_\_ 項

☐ 図面 第 \_\_\_\_\_ ページ/図

☐ 配列表 (具体的に記載すること) \_\_\_\_\_

☐ 配列表に関連するテーブル (具体的に記載すること) \_\_\_\_\_

\* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	1-34	有
	請求の範囲		無
進歩性 (IS)	請求の範囲		有
	請求の範囲	1-34	無
産業上の利用可能性 (IA)	請求の範囲	1-34	有
	請求の範囲		無

2. 文献及び説明 (PCT規則 70.7)

- 文献1 J P 2002-315311 A (ローム株式会社) 25.10.2002, 【0003】-【0004】, 図3
- 文献2 J P 2002-95248 A (シャープ株式会社) 29.03.2002, 【0003】-【0039】, 図1-6 (ファミリーなし)
- 文献3 J P 2003-309978 A (セイコーエプソン株式会社) 31.10.2003, 【0063】-【0066】, 図1  
& WO 2000/033454 A1 & US 6324084 A  
& EP 1067667 A1
- 文献4 J P 11-501500 A  
(フィリップス エレクトロニクス ネムローゼ フェンノートシャップ)  
02.02.1999, 全文, 図1-3
- 文献5 J P 6-21733 A (日本電気アイシーマイコンシステム株式会社)  
28.01.1994, 【0002】-【0004】, 図4-図6

請求の範囲1, 2, 15, 27, 28, 31, 32に係る発明は、文献1, 2より進歩性を有しない。ダイオードで整流した電圧を容量に充電する回路において、ダイオードにおける順方向電圧降下を抑制することは当業者にとって周知の技術課題であり、前記周知の技術課題を解決するために、ダイオードを、接合ダイオードが同じ向きとなるMOSFETに置き換えて、同期整流を行うよう構成することは、文献2に記載されている。文献1のものも、容量に接続されたダイオードにおける順方向電圧降下を抑制するという前記周知の技術課題を有するものと認められるから、文献1のものにおいて前記周知の技術課題を解決するために、文献2に記載の技術事項を適用し、ブートストラップ容量に接続されたダイオードを、接合ダイオードが同じ向きとなるMOSFETに置き換えて、同期整流を行うよう構成することは、当業者であれば容易に想到し得たことである。

請求の範囲3-8, 29, 30, 33, 34に係る発明は、文献1-3より進歩性を有しない。文献2には同期整流させるMOSFETとして、NチャネルMOSFETを用いることも、PチャネルMOSFETを用いることも記載されている。また、PチャネルMOSFETにおいて、基板ゲートを、接合ダイオードのカソード側端子に接続することは、例えば文献3にも記載のとおり周知である。

## 補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

請求の範囲 9－12，16－24，26 に記載された発明は、文献 1－4 より進歩性を有しない。  
ブートストラップ容量を半導体集積回路の外部に設けることは、文献 4 に開示されている。

請求の範囲 13，14，25 に記載された発明は、国際調査報告で引用された文献 1－5 より進歩性を有しない。電圧クランプ回路を電流源と並列形態に設けられたキャパシタとで構成することは、文献 5 に開示されている。

## 請求の範囲

## [1] (補正後) インダクタと、

上記インダクタの一端に一端が接続され他端が回路の接地電位に接続され、出力電圧を形成するキャパシタと、

上記インダクタの他端に接続され入力電圧から上記インダクタに流す電流を制御するスイッチ素子と、

上記スイッチ素子がオフ状態のときに上記インダクタの他端を所定電位にする素子と、

上記スイッチ素子を駆動する駆動回路と、

上記インダクタの他端に一端が接続されたブートストラップ容量と、かかるブートストラップ容量の他端と外部電源端子との間にソースドレイン経路が接続されたMOSFETとを有し、上記ブートストラップ容量の他端に上記駆動回路の動作電圧とされる昇圧電圧を生成することが可能である昇圧回路と、

上記素子が導通状態のときに上記MOSFETをオン状態にさせ、上記素子が非導通状態のときに上記MOSFETをオフ状態にさせるスイッチ制御信号を形成するレベルシフト回路と、

PWM信号を形成して上記駆動回路を通して上記スイッチ素子の動作を制御するPWM制御回路とを備え、

上記MOSFETは、一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記ブートストラップ容量の他端から上記外部電源端子の方向と逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとが接続され、上記PWM信号に対応してオフ状態にされることにより上記昇圧電圧を生成させる際には、上記接合ダイオードによって上記ブートストラップ容量の他端から上記外部電源端子に電流が流れるのを防止することを特徴とするスイッチング電源。

## [2] 請求項1において、

上記入力電圧に対応した高電圧を受けて、それを降圧した内部電圧を形成する電源回路を備え、

かかる電源回路で形成された内部電圧は、上記昇圧回路及びPWM制御回路に与え

られる動作電圧とされることを特徴とするスイッチング電源。

[3] (補正後) 請求項 1 において、

上記スイッチ素子と上記素子は、NチャネルのMOSFETであり、

上記昇圧回路のMOSFETは、PチャネルMOSFETであり、上記昇圧回路のMOSFETの基板ゲートは上記ブートストラップ容量の他端に接続されてなることを特徴とするスイッチング電源。

[4] (補正後) 請求項1において、

上記スイッチ素子と上記素子及び上記昇圧回路のMOSFETは、NチャネルのMOSFETであり、

上記昇圧回路のMOSFETの基板ゲートは上記外部電源端子側に接続されてなることを特徴とするスイッチング電源。

[5] (補正後) 請求項1において、

上記スイッチ素子は、NチャネルのMOSFETであり、

上記素子は、ダイオードであり、

上記昇圧回路のMOSFETは、PチャネルMOSFETであり、上記昇圧回路のMOSFETの基板ゲートは上記ブートストラップ容量の他端に接続されてなることを特徴とするスイッチング電源。

[6] (補正後) 請求項4において、

上記外部電源端子から供給される外部電源電圧を昇圧する他の昇圧回路を更に備え、  
上記レベルシフト回路は、上記他の昇圧回路で形成された上記外部電源電圧の昇圧電圧を受けて上記MOSFETをオン状態にさせるものであることを特徴とするスイッチング電源。

[7] (補正後) 請求項3において、

上記レベルシフト回路は、上記ブートストラップ容量で形成された上記昇圧電圧を受けて上記MOSFETをオフ状態にさせるものであることを特徴とするスイッチング電源。

[8] (補正後) 請求項7において、

上記PWM制御回路は、上記出力電圧に対応した電圧信号と基準電圧とを受けるエラーアンプと、三角波発生回路と、上記エラーアンプの出力信号と上記三角波発生回路で形成された三角波とを受けるコンパレータと、上記コンパレータの出力信号を受けて上記PWM信号を形成する制御回路とを含むものであることを特徴とするスイッチング電源。

[9] (補正後) 請求項8において、

上記スイッチ素子、上記素子、上記ブートストラップ容量、上記インダクタ、上記

18/1

キャパシタは、外部素子によりそれぞれ構成され、

上記MOSFET、上記レベルシフト回路、上記駆動回路及び上記PWM制御回路  
は、1つの半導



体集積回路により構成され、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるように上記PWM信号を形成するものであることを特徴とするスイッチング電源。

[10] (補正後) 請求項8において、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、上記MOSFET、上記駆動回路、上記レベルシフト回路及び上記PWM制御回路は、1つの半導体集積回路により構成され、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるように上記PWM信号を形成するものであることを特徴とするスイッチング電源。

[11] (補正後) 請求項8において、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、上記駆動回路、上記MOSFET及び上記レベルシフト回路は、第1の半導体集積回路により構成され、

上記制御回路は、第2の半導体集積回路装置により構成されて、上記出力電圧に対応した電圧信号を上記PWM制御回路のエラーアンプが受けて、上記出力電圧が所定電圧となるように上記PWM信号を形成し、かかるPWM信号を上記第1の半導体集積回路に伝えるものであることを特徴とするスイッチング電源。

[12] (補正後) 請求項1において、

上記入力電圧に対応した高電圧を受けて、上記高電圧を降圧した内部電圧を形成する電源回路を更に備え、

上記ブートストラップ容量、上記インダクタ、上記キャパシタは、外部素子によりそれぞれ構成され、

上記スイッチ素子、上記素子、上記駆動回路、上記MOSFET及び上記レベルシフト回路は、第1の半導体集積回路により構成され、

上記PWM制御回路は、第2の半導体集積回路装置により構成され、上記出力電圧

に対応した電圧信号を上記PWM制御回路が受けて、上記出力電圧が所定電圧

となるように上記高電圧に対応した上記PWM信号を形成し、かかるPWM信号を上記第1の半導体集積回路の入力に伝えるものであり、

上記第1の半導体集積回路においては、上記PWM信号を上記内部電圧と回路の接地電位との間の振幅にレベルシフトする電圧クランプ回路を備えてなることを特徴とするスイッチング電源。

[13] (補正後) 請求項11において、

上記電圧クランプ回路は、

上記PWM信号が供給される入力端子と、

上記入力端子にソースドレイン経路の一方が接続され、ゲートに内部電圧が与えられたNチャネルMOSFETと、

上記NチャネルMOSFETのソースドレイン経路の他方と回路の接地電位との間に設けられた電流源と、

上記電流源と並列形態に設けられたキャパシタとを有することを特徴とするスイッチング電源。

[14] (補正後) 請求項12において、

上記第1の半導体集積回路は、上記スイッチ素子を構成する第3の半導体集積回路、上記素子を構成する第4の半導体集積回路、上記MOSFET及び上記レベルシフト回路を構成する第5の半導体集積回路を有することを特徴とするスイッチング電源。

[15] (補正後) 入力電圧を降圧して出力電圧を形成するための電流をスイッチング制御するスイッチ素子と、

上記電流を流す為の第1端子と、

上記第1端子に一端が接続されたブートストラップ容量の他端が接続される第2端子と、

外部電源端子と上記第2端子との間にソースドレイン経路が接続されたMOSFETと、

上記スイッチ素子を駆動する駆動回路とを含み、

上記ブートストラップ容量と上記MOSFETとは上記スイッチ素子を駆動するための昇圧電圧を生成する昇圧回路を構成し、

上記MOSFETは一方のソース、ドレイン領域と基板ゲート間の接合ダイオード  
が上記ブートストラップ容量の他端から上記外部電源端子の方向と

逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとが接続され、オフ状態にされることにより上記昇圧電圧を生成させる際には、上記接合ダイオードによって上記ブートストラップ容量の他端から上記外部電源端子に電流が流れるのを防止することを特徴とする半導体集積回路。

[16] 請求項 15 において、

上記電圧レベル変換回路は、一つの半導体基板上に搭載されることを特徴とする電圧レベル変換回路。

[17] (補正後) 請求項 16 において、

上記電流は、上記第 1 端子に一端が接続されたインダクタと上記インダクタの他端に一端が接続され他端が回路の接地電位に接続されたキャパシタにより上記出力電圧を形成するために生成された上記入力電圧から上記インダクタに流す電流であることを特徴とする半導体集積回路。

[18] (補正後) 請求項 17 において、

上記スイッチ素子は、Nチャネルの MOSFET であり、

上記昇圧回路の MOSFET は、Pチャネル MOSFET であり、上記昇圧回路の MOSFET の基板ゲートは上記ブートストラップ容量の他端に接続されてなることを特徴とする半導体集積回路。

[19] (補正後) 請求項 17 において、

上記スイッチ素子と昇圧回路の MOSFET は、Nチャネルの MOSFET であり、  
上記昇圧回路の MOSFET の基板ゲートは上記外部電源端子側に接続されてなることを特徴とする半導体集積回路。

[20] (補正後) 請求項 17 において、

上記スイッチ素子がオフ状態のときに上記インダクタの一方の端子を所定電位にする素子を更に備え、

上記素子は第 1 の半導体基板の上に形成され、

上記スイッチ素子は、第 2 の半導体基板の上に形成され、

上記駆動回路は、出力電圧が所望電圧となるような制御信号を受けて、上記スイッチ素子と上記素子のオン、オフの制御を行うものであって、第 3 の半導体基板上に形

成され、

上記第1の半導体基板と上記第2の半導体基板及び上記第3の半導体基板を一つの  
パッケージに封止したことを特徴とする半導体集積回路。

- [21] 請求項 2 0 において、  
上記制御信号は、PWM信号であることを特徴とする半導体集積回路。
- [22] (補正後) 請求項 2 1 において、  
上記駆動回路は、上記素子がオン状態のときに上記MOSFETをオン状態にさせ、上記素子がオフ状態のときに上記MOSFETをオフ状態にさせるスイッチ制御信号を形成するレベルシフト回路を含むことを特徴とする半導体集積回路。
- [23] 請求項 2 2 において、  
上記PWM信号は、上記出力電圧に対応した電圧信号と基準電圧とを受けるエラーアンプと、三角波発生回路と、上記エラーアンプの出力信号と上記三角波発生回路で形成された三角波とを受けるコンパレータと、上記コンパレータの出力信号を受ける制御回路により生成されるものであることを特徴とする半導体集積回路。
- [24] (補正後) 請求項 2 3 において、  
上記入力電圧に対応した高電圧を受けて、上記高電圧を降圧した内部電圧を形成する電源回路と、  
上記PWM信号を上記内部電圧と回路の接地電位との間の振幅にレベルシフトする電圧クランプ回路が上記半導体集積回路に形成されてなることを特徴とする半導体集積回路。
- [25] (補正後) 請求項 2 4 において、  
上記電圧クランプ回路は、  
上記PWM信号が供給される入力端子と、  
上記入力端子にソース、ドレイン経路の一方が接続され、ゲートに内部電圧が与えられたNチャネルMOSFETと、  
上記NチャネルMOSFETのソース、ドレイン経路の他方と回路の接地電位との間に設けられた電流源と、  
上記電流源と並列形態に設けられたキャパシタとを有することを特徴とする半導体集積回路。
- [26] (補正後) 請求項 2 0 において、  
上記駆動回路は、

第1の振幅で動作する第1の回路と、



第1の回路から出力された信号をゲートに受ける第一MOSFETと、上記第一MOSFETと上記ブーストラップ容量の他端との間に上記第一MOSFETと直列形態に接続された抵抗とを有する第2の回路と、

上記第一MOSFETと上記抵抗が接続されたノードから出力された信号を受け、上記ブーストラップ容量の他端での電圧を電源とする第3の回路とを有するレベルシフト回路を有し、

上記第1の回路の出力のハイレベルやロウレベルにともなって、上記MOSFETのオン、オフを切り替えることにより電圧レベルが変化する上記ノードから出力される信号を、上記第3の回路の論理しきい値に従って弁別して上記第1のスイッチ素子のオン、オフを制御する為のレベルシフトされた制御信号を生成することを特徴とする半導体集積回路。

[27] (追加) 第一電源端子にドレイン端子が接続された第一NチャネルMOSFETと、

上記第一NチャネルMOSFETのソース端子とドレイン端子が接続され、ソース端子が回路の接地電位端子に接続された第二NチャネルMOSFETと、

一端が上記第一NチャネルMOSFETのソース端子に接続されたインダクタと、  
上記インダクタの他端と一端が接続され、他端が回路の接地電位に接続された第一容量と、

上記第一及び第二NチャネルMOSFETを駆動する駆動回路と、

上記インダクタの一端に一端が接続された第二容量と、  
上記第二容量の他端と外部電源端子との間にソースドレイン経路が接続されたMOSFETとを有し、

上記第二容量と上記MOSFETにより上記駆動回路で用いられる電源電圧としての昇圧電圧を生成するための昇圧回路が構成され、

上記MOSFETは、一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記第二容量の他端から上記外部電源端子の方向と逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとが接続されることを特徴とするスイッチング電源。

[28] (追加) 請求項27において、

上記MOSFETがオフにされて上記昇圧電圧が生成された際には、上記接合ダイオードによって上記第二容量の他端から上記外部電源端子に電流が流れることが防止されることを特徴とするスイッチング電源。

[29] (追加) 請求項27において、

上記MOSFETはPチャネルMOSFETであり、  
上記一方のソース、ドレイン領域は上記外部電源端子に接続され、  
上記他方のソース、ドレイン領域は上記第二容量に接続されることを特徴とするスイッチング電源。

[30] (追加) 請求項27において、

上記MOSFETは第2NチャネルMOSFETであり、  
上記一方のソース、ドレイン領域は上記第二容量に接続され、  
上記他方のソース、ドレイン領域は上記外部電源端子に接続されることを特徴とするスイッチング電源。

[31] (追加) 第一電源端子に一方のソース、ドレイン端子が接続された第一MOSFETと、  
上記第一MOSFETの他方のソース、ドレイン端子と一方のソース、ドレイン端子が接続され、他方のソース、ドレイン端子が回路の接地電位端子に接続された第二MOSFETと、

上記第一及び第二MOSFETからの電流を出力するための出力端子と、  
上記第一及び第二MOSFETを駆動する駆動回路と、  
外部電源端子と、  
上記外部電源端子と上記出力端子に一端が接続された第一容量の他端との間にソースドレイン経路が接続されるよう構成される第三MOSFETとを有し、  
上記第一容量と上記第三MOSFETとは上記第一MOSFETを駆動するための昇圧電圧を生成する昇圧回路を構成し、

上記第三MOSFETは、一方のソース、ドレイン領域と基板ゲート間の接合ダイオードが上記第一容量の他端から上記外部電源端子の方向と逆方向になるように他方のソース、ドレイン領域と上記基板ゲートとが接続されることを特徴とする半導体集積回路。

[32] (追加) 請求項 3 1 において、

上記昇圧電圧が生成された際には、上記第三 MOSFET が非導通状態にされ、上記接合ダイオードによって上記第一容量の他端から上記外部電源端子に電流が流れることが防止されることを特徴とする半導体集積回路。

[33] (追加) 請求項 3 1 において、

上記第三 MOSFET は P チャンネル MOSFET であり、  
上記一方のソース、ドレイン領域は上記外部電源端子に接続され、  
上記他方のソース、ドレイン領域は上記第一容量に接続されることを特徴とする半導体集積回路。

[34] (追加) 請求項 3 1 において、

上記第二 MOSFET は N チャンネル MOSFET であり、  
上記一方のソース、ドレイン領域は上記第一容量に接続され、  
上記他方のソース、ドレイン領域は上記外部電源端子に接続されることを特徴とする半導体集積回路。